

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-198174

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988) 8月16日

G 06 F 15/72

3 8 0

6615-5B

審査請求 未請求 発明の数 1 (全8頁)

⑮ 発明の名称 図形処理装置

⑯ 特 願 昭62-31023

⑰ 出 願 昭62(1987) 2月13日

⑱ 発 明 者 大 内 光 郎 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

図形処理装置

2. 特許請求の範囲

メモリ上の各ビットにXY座標を定義し、前記メモリ上にワード単位で描画を行う図形処理装置に於いて、描画するワードの特定位置のビットの座標(X, Y)を逐次計算する座標演算手段と、XY座標上に(X<sub>1</sub>, Y<sub>1</sub>), (X<sub>2</sub>, Y<sub>2</sub>) (但し、X<sub>1</sub> ≤ X<sub>2</sub>, Y<sub>1</sub> ≤ Y<sub>2</sub>)を対角線の端点とする矩形領域を定義し、前記X<sub>1</sub>, Y<sub>1</sub>およびX<sub>2</sub>, Y<sub>2</sub>を前記X, Yと比較することによって描画するワードが前記矩形領域内か外か、あるいは前記矩形領域の境界を含んでいるかを判定する比較手段と、前記比較手段の比較結果によって、描画するワードのうちのビットの処理を行うか否かを定める第1のマスク情報を生成する第1のマスク生成手段と、描画する図形の形状により、描

画するワードのうちのどのビットの処理を行うか否かを定める第2のマスク情報を生成する第2のマスク生成手段と、前記第1のマスク情報と前記第2のマスク情報とに基づいて描画許可領域への描画を行なう手段とを有することを特徴とする図形処理装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、直線や円の描画機能、三角形や矩形の塗りつぶし、矩形領域内のメモリ・データを別の矩形領域に転送するデータ転送機能などを有する図形処理装置に関し、特に図形を描画する領域を制限するいわゆるクリッピング機能を有する図形処理装置に関する。

〔従来の技術〕

一般にクリッピングとは、メモリ上で定義されたXY座標によって規定される2点のビット(X<sub>1</sub>, Y<sub>1</sub>), (X<sub>2</sub>, Y<sub>2</sub>) (但し、X<sub>1</sub> ≤ X<sub>2</sub>, Y<sub>1</sub> ≤ Y<sub>2</sub>)を対角線の端点とする矩形領域(ク

リッピング・レクタングル)内(あるいは外)だけに図形を描画することを許す機能をいう。

従来のクリッピング方式としては、つぎの2つが挙げられる。

第1は、ブリクリッピングとよばれる方法で、これから描画しようとする図形とクリッピング・レクタングルの関係を数式的に解いて、クリッピング・レクタングル内に含まれる図形を描出するものである。たとえば、クリッピング・レクタングルと交差する直線ABを描画する場合、この直線とクリッピング・レクタングルの交点A'、B'を求めて、実際に描画される直線A'B'だけ得る方式である。

第2は、描画を行う図形の1ドットに対応するメモリ上のXY座標をドット毎に各々計算し、これらを逐次クリッピング・レクタングルの対角線の端点の座標と比較し、描画を行おうとするドットが描画不可領域に含まれた場合に描画を無効とする方法である。

〔発明が解決しようとしている問題点〕

ット単位でおこなわざるをえないため処理速度が極めて遅いという欠点があった。例えば、メモリ上のある矩形領域をクリッピング・レクタングルと重複する矩形領域へ移し、その重複部分だけを描画する場合、矩形領域の移動を1ビット毎行なわなければならない。

〔問題点を解決するための手段〕

本発明は、1ドット単位および1ワード単位の両方の処理において高速クリッピング処理を実現させるため、クリッピング用マスク情報と描画マスク情報とを夫々独立に生成するという概念を導入することにより、従来の欠点を除去し処理速度を大幅に短縮した図形処理装置を提供するものである。

クリッピング用マスク・データの生成は、次のようなシーケンスで実現される。まず、クリッピング・レクタングルを対角線の2端点により定義する。実際の描画は描画許可領域、描画不可領域に無関係に行う必要はあるが、描画を行う各ワードの先頭ドットのXY座標とクリッピング領域の

前述した従来のクリッピング方式は、以下に述べる欠点があった。

まず前者のブリクリッピングは、直線や円などの図形とクリッピング・レクタングルの交点を求めるための前処理に乗算や除算を含む複雑な演算が必要である。描画不可領域は描画しなくてすむため、実際の描画については高速に実行できるが、前処理のために非常に長い時間が要求されるといふ欠点と、高速に乗除算を実行できるハードウェアを必要とするため非常に高価なグラフィックス装置になってしまうという欠点がある。

一方、後者の方法は、直線、円など1ドット単位で描画座標点を計算して行くような線図形には適しているが、矩形領域の如き平面図形の処理には不便で、とくにある矩形領域内のデータを別の矩形領域に転送するいわゆるBITBLT(BIT Block Transfer)などのように、ワード単位で複数ドットを同時に処理した方が高速処理できる処理には利用できなかった。従って、この方法を採用した図形処理装置では、BITBLTも1ド

端点(右端と左端)の座標値を逐次比較し、その比較結果によって描画するワードのうちどのビットの処理を行うかを定めるクリッピング・マスク情報を生成する。そのクリッピング・マスク情報と、別に生成した描画マスク情報とを基にして実際にメモリに書き込むデータを生成するのである。

本発明の図形処理装置は、メモリ上の各ビットにXY座標を定義し、前記メモリ上にワード単位で描画を行う図形処理装置であって、描画するワードの特定位置のビットの座標(X, Y)を逐次計算する座標演算手段と、XY座標上に(X1, Y1), (X2, Y2)(但し、X1 ≤ X2, Y1 ≤ Y2)を対角線の端点とする矩形領域を定義し、前記X1, Y1およびX2, Y2を前記X, Yと比較することによって描画するワードが前記矩形領域内か外か、あるいは前記矩形領域の境界を含んでいるかを判定する比較手段と、前記比較手段の比較結果によって、描画するワードのうちどのビットの処理を行うかを定める第1のマスク情報を生成する第1のマスク生成手段と、描画す

る図形の形状により、描画するワードのうちどのビットの処理を行うか否かを定める第2のマスク情報を生成する第2のマスク生成手段と、前記第1のマスク情報と前記第2のマスク情報とに基づいて最終的な第3のマスク情報を生成する手段を有する。

#### 〔実施例1〕

次に本発明の第1の実施例について図面を参照して詳細に説明する。

第1図は第1の実施例の図形処理装置の主要なブロックを示す図、第3図はクリッピング・レクタングルとデータ転送領域を示す図、第4図はクリッピング・マスクの生成条件を示す図、第5図は描画マスクの生成条件を示す図である。

最初に、第3図を用いてデータ転送処理時のクリッピングについて説明する。第3図は、メモリ上に定義したXY座標平面上のクリッピング・レクタングルとデータ転送領域の1例を示したものである。クリッピング・レクタングルとして、点 $(X_{min}, Y_{min})$ と $(X_{max}, Y_{max})$ を対角

クリッピング・マスク・レジスタ、8, 9はマルチプレクサ、10~13はそれぞれ4ビットのパラメータ・レジスタ、14は選択制御回路、30~34は制御信号線、35~40はデータ・バスである。これらの各機能は以下の動作説明により明らかになるであろう。

まず、第1にクリッピング・マスク生成について説明する。クリッピング・マスクは次の4つの処理を行うことにより作成される。

- 1) XY座標演算回路3に於いて、次に描画を行うべきワード(データ転送されるべき領域のワード)の先端ビットのXY座標の計算を行う。X座標は直前のX値に16を加えることによって計算する。Y座標は水平方向においては変化がなく、垂直方向に対して+1される。XY座標演算回路は加減算回路でよい。
- 2) クリッピング比較回路2に於いて、あらかじめ設定されたクリッピング・レクタングルの座標値 $(X_{min}, Y_{min})$ ,  $(X_{max}, Y_{max})$ と、XY座標演算回路3からデータ・バス35

線の端点とする長方形を定義する。また、データ転送領域は、点 $(X_1, Y_1)$ と $(X_2, Y_2)$ を対角線の端点とする長方形でクリッピング・レクタングルの一部と斜線部で重複している。クリッピング・レクタングルの左端はワード境界からLEFT分ずれており、右端はRIGHT分ずれている。データ転送領域もその左端はワード境界からDS分ずれており、右端はDE分ずれている。この例では、データ転送領域と同一形状の別の矩形領域のデータを図示データ転送領域にブロック転送し、クリッピング・レクタングルと重複する斜線部にのみ転送されたデータが書き込まれる。なお、本実施例では1ワードのビット数を16ビットとし、データ転送はワード単位で行われる。

次に、上記のようなクリッピングを実現するためのハードウェア回路について第1図をもとに説明する。第1図に於いて、1は描画マスク演算回路、2はクリッピング比較回路、3はXY座標演算回路、4はマスク・パターンROM、5はAND回路、6はメモリ・データ演算回路、7はクリ

に出力されたX, Y両座標値とを用いて次のような4種類の演算を行う。

$$Y - Y_{min}, \quad Y - Y_{max},$$

$$X - X_{min}, \quad X - X_{max}$$

各演算結果によって、それぞれの大小関係を示す信号を信号線31に出力する。なお、ワード単位でデータ転送しているため比較もワード単位で行なう方がよい。従って、 $X_{min}$ ,  $X_{max}$ についてはその下位4ビットを"0000"とし、 $(X_{min}, Y_{min})$ ,  $(X_{min}, Y_{max})$ ,  $(X_{max}, Y_{max})$ ,  $(X_{max}, Y_{min})$ を夫々仮想的に点A, B, C, D(第3図)に定めている。

- 3) 選択制御回路14は、信号線31上の信号をもとにマルチプレクサ8および9の選択信号を生成し、夫々信号線33, 34に出力する。
- 4) 選択信号によって、クリッピング・マスクの左端ビット位置情報および右端ビット位置情報を決定し、それらをアドレス線36および37に出力してマスク・パターンROM4をアクセ

スする。ビット位置情報の決定方法については後で述べる。ROM 4 から読出されたデータはクリッピング・マスクデータとしてデータ・バス38を介してクリッピング・マスク・レジスタ7にラッチされる。ラッチ信号は、2)の演算結果が出力された次のサイクルでクリッピング比較回路2から信号線2を介して供給される。

クリッピング・マスク情報はクリッピング・レクタングルによって規定された描画許可領域と描画不可領域とを示す情報である。従って、クリッピング・レクタングルの $X_{min}$ ,  $X_{max}$ ,  $Y_{min}$ ,  $Y_{max}$ とデータ転送先領域の各ワードの先頭アドレスを示す座標値とを比較して、転送先領域の各ワードがクリッピング・レクタングルの内か外かをワード単位でチェックし、クリッピング・レクタングルによって定められた描画許可領域内に存在するドットに対してのみ描画許可情報(本実施例では“1”)を与え、描画不可領域に存在するドットには描画不可情報(本実施例では“0”)を与える。例えば、第3図ではクリッピング・レ

クタングルの内側を描画許可領域、外側を描画不可領域と定めているので、クリッピング・レクタングル内の座標値に対してはマスク情報として“1”が与えられ、それ以外の座標値に対しては“0”が与えられる。

さらに、ワード単位で処理を行なっているので、クリッピング・レクタングルの $X_{min}$ および $X_{max}$ 座標値がワードの先頭座標値と一致しない場合がある。これに対してはその補正が必要である。かかる補正を行なうためにクリッピング・レクタングルの左端ビット位置情報( $X_{min}$ )が、これを含むワードの先頭座標値( $X_{min}$ ) (第3図では直線A Bによって定められるX座標値(下位4ビットはすべて“0”)から何ビットずれているかを示す数値の2進コード(LEFT)がパラメータレジスタ11に予め設定されている。クリッピング・レクタングルの右端ビット位置情報( $X_{max}$ )については、そのずれを示す数値の2進コード(RIGHT)が予めパラメータレジスタ13に設定されている。

XY座標演算回路3によって作成される転送先領域の各ワードの先頭座標値とクリッピング・レクタングルの境界座標との比較は第4図に示す条件に基いて行われる。比較回路2は第6図に示されており、転送先領域の各ワードの先頭座標を作成するXY座標演算回路3から出力されるX, Y各座標がレジスタ60に格納される。一方、クリッピング・レクタングルを規定する $X_{min}$ ,  $X_{max}$ 座標はレジスタ61に、 $Y_{min}$ ,  $Y_{max}$ 座標はレジスタ62に夫々予め格納されている。ここでは、1ビット座標は16ビットで指定されるため、比較回路64は夫々16ビットの2入力端(A, B)を有している。A入力端にはレジスタ60から転送先領域の各ワードの先頭座標が入力される。一方、B入力端にはマルチプレクサ63によって選択された方のレジスタの内容が入力される。比較はまずずれのないY座標から先に行われる。Y座標については、レジスタ60から出力されたY座標とレジスタ62から出力されたY座標( $Y_{min}$ ,  $Y_{max}$ )とが比較される。X座標については、X

Y座標演算回路3によって作成される各ワードの先頭X座標はその4ビットが必ず“0000”である(ワード内のビット位置が下位4ビットで指定される故)から、レジスタ61からは下位4ビットを除く上位12ビットだけが出力され、下位4ビットには全て“0”が付加されてマルチプレクサ63に入力される。こうすることによって、比較回路64はX座標に対して実質的に上位12ビットの比較を行なうだけでよい。

今、レジスタ60から出力されるY座標がレジスタ62から出力される $Y_{min}$ 座標および $Y_{max}$ 座標に対して第4図のように $Y < Y_{min}$ あるいは $Y > Y_{max}$ となる時は、転送先領域のワードの全ビットがクリッピング・レクタングルの外にあるため、X座標の比較せずともクリッピング・マスク情報(16ビット)はすべて描画不可情報(オール“0”)となる。

さらに、 $Y \geq Y_{min}$  および  $Y \leq Y_{max}$  の場合はY座標に関してはクリッピング・レクタングル内に存在するため、X座標の比較がY座標に続いて

行なわれる。結果は次の様になる。

- (1)  $X > X'_{min}$  かつ  $X < X'_{max}$  の時:

転送先領域のワードの全ビットがクリッピング・レクタングル内に存在するので、クリッピング・マスク情報はすべて描画許可情報(オール"1")となる。

- (2)  $X = X'_{min}$  かつ  $X < X'_{max}$  の時:

転送先領域のワードがフリッピング・レクタングルの右端を含むため、その補正值(L E F T)を用いてワードの先頭からL E F Tによって規定されるビットが描画不可情報("0")となり、それ以降は描画許可情報("1")となる。

- (3)  $X > X'_{min}$  かつ  $X = X'_{max}$  の時:

転送先領域のワードがクリッピング・レクタングルの右端を含むため、その補正值(R I G H T)を用いてワードの先頭からR I G H Tによって規定されるビットが描画許可情報("1")、それ以降は描画不可情報("0")となる。

- (4)  $X = X'_{min}$  かつ  $X = X'_{max}$  の時:

ス線36を介して上位アドレスとして入力され、マルチプレクサ9の出力(4ビット)がアドレス線37を介して下位アドレスとして入力される。この実施例では1アドレスが8ビットからなり、256個のパターン(前述したクリッピング・マスク情報と後述する描画マスク情報が含まれる)が予め記憶されている。1パターンは16ビットからなる。クリッピング・マスク情報は第4図に示すように、クリッピング・レクタングルより外側のワードはいずれもオール"0"、すべてが内側のワードはいずれもオール"1"であるから、オール"0"およびオール"1"は夫々共通のアドレスでアクセスできるように、本実施例ではアドレスの上位4ビットが"1111" (=15)、下位4ビットが"0000" (=0)の時、クリッピング・マスク情報としてオール"0"が、上位4ビットのアドレスが"0000" (=0)、下位4ビットのアドレスが"1111" (=15)の時クリッピング・マスク情報としてオール"1"が読出されるようにアドレスを割り付けている。

転送先領域のワードがクリッピング・レクタングルの左端と右端の両方を含むため、ワードの先頭からL E F Tによって規定されるビットが描画不可情報("0")、ワードの先頭からR I G H T - L E F Tによって規定されるビットが描画許可情報("1")、それ以降は描画不可情報("0")となる。

- (5)  $X < X'_{min}$  あるいは  $X > X'_{max}$  の時:

転送先領域のワードの全ビットがクリッピング・レクタングルの外にあるため、すべて描画不可情報("0")となる。

以上のようにしてクリッピング・マスク情報を作成できるが、これをランダムロジック回路で作成するとハードウェア回路が非常に複雑になるので、本実施例ではテーブルメモリを用いてクリッピング・マスク情報の作成を簡易化している。テーブルメモリとしてマスクROM4(第1図)を用いる。

第1図に戻って、マスク・パターンROM4にはマルチプレクサ8の出力(4ビット)がアドレ

転送先領域のワードがクリッピング・レクタングルの左端のみを含む場合( $X = X'_{min}$ )はアドレスの上位4ビットをL E F Tとし、下位4ビットを"1111" (=15)とする。また、右端のみを含む場合( $X = X'_{max}$ )アドレスの下位4ビットをR I G H Tとし、上位4ビットを"0000" (=0)とする。左端と右端との両方を含む場合はアドレスの上位および下位を夫々L E F T, R I G H Tとする。描画許可情報および不可情報はL E F T, R I G H Tの数によって予め定まるので、これをテーブル化してROM4に記憶しておけばよい。この結果、任意のクリッピング・レクタングルに対して所望のクリッピング・マスク情報が得られる。

次に、描画マスク情報の作成について説明する。描画マスク情報はデータ転送先の各ワードが座標( $X_0, Y_0$ )と( $X_1, Y_1$ )を対角線の頂点とするデータ転送先の矩形領域内にあるか否かを識別するためのマスク情報である。描画マスク情報の生成は次の3つの処理によって行われる。

- 1) 描画マスク演算回路1に於いて、1ワード転送ごとに、データ転送領域のX方向のワード数を計数し、第1ワード時であるか、最終ワードであるか、それら以外のワードであるかを検出し、検出信号を信号線30に出力する。
- 2) 選択制御回路14は、検出信号をもとにマルチプレクサ8および9の選択信号を生成し、信号線33および34に出力する。
- 3) 選択信号によって、描画マスクの左端ビット位置情報および右端ビット位置情報を決定し、それらをアドレス線33、34に出力してマスク・パターンROM4をアクセスする。ROM4からは描画マスク・データが読出され、データ・バス38に出力される。

本実施例では、描画マスク情報は第3図の $(X_0, Y_0)$ 、 $(X_1, Y_0)$ 、 $(X_0, Y_1)$ 、 $(X_1, Y_1)$ を頂点とする矩形領域に対して求められる。データはワード単位で転送されるので、描画マスク情報もクリッピング・マスク情報と同様にワード単位で作成される。従って、データ転送先領域

ング・マスク情報のオール"1"と同じアドレス(上位4ビットがオール"0"、下位4ビットがオール"1")が選ばれる。この結果、マスク・パターンROM4から読み出されたパターンは描画マスク情報として信号線38を介してAND回路5に送られる。

以上のようにして、転送される各リードに対して夫々ワード単位でクリッピング・マスク情報と描画マスク情報が生成され、AND回路5において対応するビット同志のAND演算が行なわれる。AND演算の結果その出力が"1"となったビットが第3図の斜線内のビットであり、そのビットに対応する転送元データのビットのみがメモリ・データ演算回路によって転送先のデータと置換される。すなわち、メモリ・データ演算回路6では、データ・バス40を介して入力した転送元データと転送先データを、AND回路5から信号線39を介して印加される最終的なマスク・データをもとに処理してデータ・バス40に出力する。本実施例では、マスク・データ16ビットのうち、

を規定するX座標 $X_0$ 、 $X_1$ の下位4ビットを夫々"0000"とし、第3図のEFGHによって定義される仮想矩形領域がデータ転送先領域の各ワードの先頭座標と比較される。描画マスク情報は水平方向における先頭ワードと最終リードだけがデータ転送先領域の右端と左端にまたがる可能性があり、それ以外のリードはすべてデータ転送先領域内に包含されるため、描画マスク演算回路1は転送先のワードが各水平方向に対して先頭か最終かそれともその中間かを検出するだけでよい。検出結果、先頭ワードの場合、補正值DSが予め格納されているパラメータレジスタ10が選択され、最終ワードの場合補正值DEが予め格納されているパラメータレジスタ12が選択される。先頭ワードに対しては、第5図に示されるようにアドレスの上位4ビットがDS、下位4ビットがオール"1"( $=15$ )となる。最終ワードに対してはアドレスの上位4ビットがオール"0"( $=0$ )、下位4ビットがDEとなる。また、中間ワードの場合は、オール"1"となるのでクリッピ

"1"であるビット位置についてのみ、転送元データを転送先データに置き換えるようにしている。この結果、第3図の斜線部のみのデータを書き換えることができる。

なお、マスク・パターンROMの内容を変更したり、AND回路の他の論回路(例えばNAND回路、NOR回路、EXOR回路等)に置き換えることによってデータ転送先領域のうちクリッピング・レクタングルの外側の部分だけを書き換えることもできる。

以上により、ワード単位で描画を行う際のクリッピングが高速かつ容易に実現できるのである。

#### 〔実施例2〕

次に本発明の第2の実施例について図面を参照して説明する。

いままでの説明では、描画許可領域はクリッピング・レクタングルの内側を指していたが、第2の実施例はクリッピング・レクタングルの外側を描画許可領域に指定するものである。

第2図は第2の実施例の図形処理装置の主要な

ブロックを示す図である。第2図は、第1図とはほぼ同じであるが、クリッピング・マスク・レジスタの入力が2系統になっており、データ・バス38のマスク・データをそのまま入力するか、反転回路52で反転して入力するかを選択するマルチプレクサ50と、その選択信号51が追加されている。

動作は、ほぼ第1の実施例と同じであり、描画許可領域をモード指定の選択信号51で切り換えることによって、反転回路52の出力をクリッピング・マスク情報とすれば、第3図のクリッピング・レクタングルの外側が描画許可領域となる。

#### 〔発明の効果〕

以上の説明で明らかのように、クリッピングのためのマスク・データを本来の描画マスクと独立に生成することにより、ワード単位での高速描画を実現することができる。又、描画不可領域と描画許可領域の指定も簡単であり、クリッピング・レクタングルの内側／外側いずれをも描画許可領域とすることができる。

グ比較回路、3……XY座標演算回路、4……マスク・パターンROM、5……AND回路、6……メモリ・データ演算回路、7……クリッピング・マスク・レジスタ、8、9……マルチプレクサ、10～13……4ビットのパラメータ・レジスタ、14……選択制御回路、30～34……制御信号線、35～40……データ・バス、50……マルチプレクサ、51……選択信号。

代理人 弁理士 内 原

晋

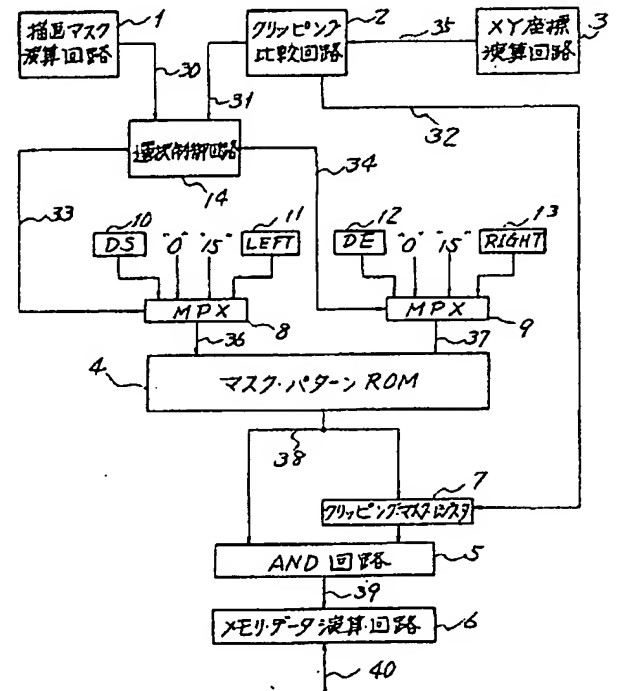


なお、実施例では、描画機能としてデータ転送機能を取りあげて説明したが、本発明の主旨は描画の種類には制限されないものである。また、直線や円等ドット単位の描画については、第6図で示したような、クリッピング座標値の下4ビットの補正をしないような選択回路を設ければ、他はワード描画の場合と全く同じ動作でクリッピングを実現できることは明白である。さらに、クリッピング・マスク情報と描画マスク情報とを別々のROMで生成するようにしてもよい。

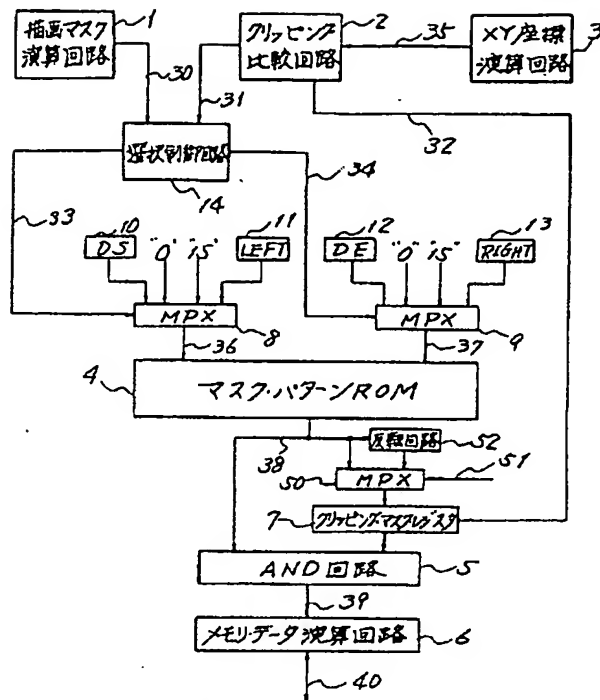
#### 4. 図面の簡単な説明

第1図は本発明の第1の実施例を示すブロック図、第2図は本発明の第2の実施例を示すブロック図、第3図はクリッピング・レクタングルとデータ転送領域を示す図、第4図はクリッピング・マスク情報の生成条件を示す図、第5図は描画マスク情報の生成条件を示す図、第6図はクリッピング比較回路2のブロック図である。

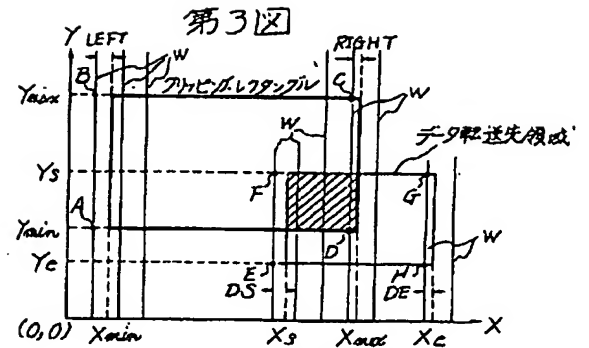
1……描画マスク演算回路、2……クリッピン



第1図 (実施例1)

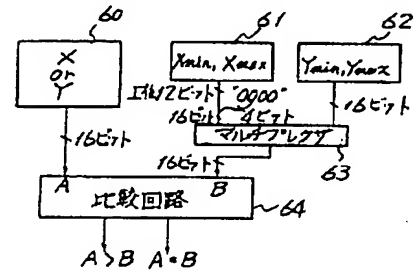


第2図 (実施例2)



注) 図中境界Wはワード境界

第6図



第4図

Y座標比較	X座標比較	マスクパターンROM出力 (フリップ・フロップ情報)	
		アドレス 36	37
$Y < Y_{min}$ あらいは	don't care	"15"	"0"
$Y > Y_{max}$		"0"	"15"
$Y \geq Y_{min}$ かつ	$X > X_{min}$ かつ $X < X_{max}$	LEFT	RIGHT
$Y \leq Y_{max}$	$X < X_{min}$ かつ $X > X_{max}$	RIGHT	LEFT
	$X = X_{min}$ かつ $X = X_{max}$	LEFT	RIGHT
	$X < X_{min}$ かつ $X > X_{max}$	LEFT	RIGHT

第5図

描画ワード	アドレス		マスクパターンROM出力 (描画マスク情報)
	36	37	
先取ワード(左端)	DS	"15"	LSB DS MSB "1"
最終ワード(右端)	"0"	DE	LSB DE MSB "1"
上記以外(中間)	"0"	"15"	LSB MSB all "1"